

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075014

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 03-234307

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.09.1991

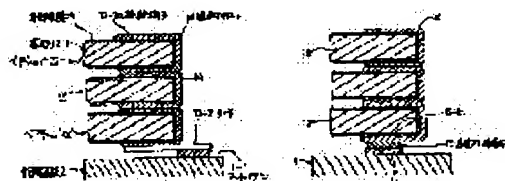
(72)Inventor : KOMIYAMA TAKESHI

(54) PACKAGING STRUCTURE OF SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To make a printed circuit board unit small in size and light in weight by packaging laminated bare chips on a wiring board, regarding a semiconductor chip packaging structure of the printed circuit board unit which is used for circuit construction of various electronic apparatuses.

CONSTITUTION: An insulating film 13 is provided on the surface of a base 12-1 of a bare chip 12 except a connection terminal 12-1a formed on one side of the chip, a conductor pattern 14 is formed on the surface of the insulating film 13 from the exposed connection terminal 12-1a to a position on the other side corresponding to the connection terminal 12-1a, and a plurality of bare chips 12 are laminated by connecting the conductor pattern 14 with the connection terminal 12-1a. The connection terminal 12-1a of the bare chip 12 positioned on one end side of a laminated body is connected with a foot pattern 1-1 of a printed wiring board 1 so as to package the chips.



LEGAL STATUS

[Date of request for examination]

06.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2988045

[Date of registration]

08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An insulator layer (13) is given to the front face of the substrate (12-1) except the end-connection child (12-1a) formed in one field of a bare chip (12). This end-connection child of the field of the above-mentioned end-connection child (12-1a) who exposed to another side (12-1a) A conductor pattern (14) is formed in a corresponding position on the front face of the above-mentioned insulator layer (13). The conductor pattern (14) concerned and the above-mentioned end-connection child (12-1a) Or the laminating of two or more above-mentioned bare chips (12) is carried out by connecting each of this conductor pattern (14). This bare chip (12) and printed-circuit board (1) which are located in the end side of a layered product Foot pattern (1-1) Mounting structure of the semiconductor chip which connects and is characterized by mounting.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor chip mounting structure of the printed circuit unit used for the circuitry of various electronic equipment.

[0002] Recently, it is necessary for electronic equipment, such as a handy type terminal, a word processor, and a personal computer, to mount many semiconductor devices in the printed circuit unit which the function of a miniaturization and many follows on being required and by which these devices are further equipped with it with high density.

[0003] Therefore, although the direct surface mount of the semiconductor chip main part (it is called a bare chip for short below) which can achieve the miniaturization of a printed circuit unit is carried out to the printed-circuit board (it is called a wiring substrate for short below), the mounting structure of the new semiconductor chip which can carry out high density assembly of these bare chips in three dimensions is demanded.

[0004]

[Description of the Prior Art] The mounting structure of the semiconductor currently used widely conventionally Drawing 4 (b) It sets to the 4 direction flat lead package type (QFP) semiconductor device 2 so that it may be shown. Semiconductor device 2-3 It flows and is a package 2-1. Two or more leads 2-2 which were made to project from the side and were arranged It is the foot pattern 1-1 of detailed width of face to a corresponding position. To the wiring substrate 1 arranged to the measure form [two or more] Lead 2-2 of the aforementioned semiconductor device 2 The foot pattern 1-1 concerned Alignment is carried out, a semiconductor device 2 is laid in the wiring substrate 1, and it is the aforementioned foot pattern 1-1 by reflow bonding etc. The given solder which is not illustrated is fused. Drawing 4 (a) The surface mount of many semiconductor devices 2 is carried out to the principal plane of the wiring substrate 1 so that it may be shown.

[0005]

[Problem(s) to be Solved by the Invention] Becoming a problem with the mounting structure of the conventional semiconductor device explained above View 4 (b) Foot pattern 1-1 formed in the front face of the wiring substrate 1 so that it might be shown Semiconductor device 2-3 Covered package 2-1 Lead 2-2 Since many semiconductor devices 2 are mounted by joining The dimension of this semiconductor device 2 mounted is a package 2-1. The problem that must also enlarge the wiring substrate 1 mounted by becoming large, and it obstructs the miniaturization of equipment has arisen.

[0006] Moreover, semiconductor device 2-3 Wrap package 2-1 The problem that a semiconductor device 2 became heavy and the weight of a printed circuit unit increased was also produced. this invention aims at offer of the mounting structure of the new semiconductor chip which can achieve a miniaturization and lightweight-izing of a printed circuit unit by carrying out the laminating of the bare chip and mounting in a wiring substrate in view of the above troubles.

[0007]

[Means for Solving the Problem] An insulator layer 13 is given to the front face of the substrate 12-1 except end-connection child 12-1a formed in one field of a bare chip 12 as this invention

was shown in drawing 1 . A conductor pattern 14 is formed in this end-connection child 12-1a of the field of another side, and a corresponding position on the front face of the above-mentioned insulator layer 13 from the exposed above-mentioned end-connection child 12-1a. The laminating of two or more above-mentioned bare chips 12 is carried out by joining end-connection child 12-1a of other bare chips 12 to the conductor pattern 14 concerned. Foot pattern 1-1 of this end-connection child 12-1a of this bare chip 12 located in the end side of a layered product, and a printed-circuit board 1 It connects and mounts.

[0008]

[Function] An insulator layer 13 is given to 12 to substrate 1 front face of a bare chip 12 in this invention. Flow with end-connection child 12-1a exposed from the insulator layer 13, and a conductor pattern 14 is wired to the end-connection child 12-1a concerned of the field of another side, and a corresponding position. Since the laminating of the plurality is carried out by connecting with this conductor pattern 14 end-connection child 12-1a formed in other bare chips 12 Foot pattern 1-1 of this end-connection child 12-1a of this bare chip 12 located in the lowest layer, and a printed-circuit board 1 By connecting Each foot pattern 1-1 formed in the wiring substrate 1 It becomes possible to receive, to mount two or more bare chips 12, and to achieve a miniaturization and lightweight-izing of a printed circuit unit.

[0009]

[Example] following drawing 1 - drawing 3 ***** -- the example of this invention is explained in detail Although the sectional side elevation showing the mounting structure of the semiconductor chip according [drawing 1] to the first example, the sectional side elevation in which drawing 2 shows the mounting structure of the second example, and drawing 3 show the order sectional side elevation explaining the through hole formation method of the bare chip used for the second example of a process and the same sign has given to the same member as drawing 4 all over drawing, the bare chip which uses 12 of others for the mounting structure of the first example, and 22 are the bare chips which use for the mounting structure of the second

[0010] A bare chip 12 is the element main part of the semiconductor device with which the integrated circuit of a semiconductor device was formed in the center section of the thin substrate 12-1 which consists of single crystal silicon etc. as shown in drawing 1 , and two or more end-connection child 12-1a pulled out from the integrated circuit was arranged in the periphery.

[0011] The mounting structure of the semiconductor chip by the first example which used the above-mentioned member Drawing 1 (a) The end-connection child 12-1a concerned is exposed by giving the insulator layer 13 which becomes all the front faces except end-connection child 12-1a formed in one field of the substrate 12-1 of a bare chip 12 so that it might be shown from an insulating resin. It is made to flow with the aforementioned end-connection child 12-1a exposed from the front face of this insulator layer 13, and a conductor pattern 14 is formed by the conductive paint of an epoxy system to the end-connection child 12-1a concerned and the field of another side of a corresponding position.

[0012] and bare chip 12' which carried out the above-mentioned end-connection child 12-1a in the same direction, and established the lead 12-2 by two or more bare chips 12 and TAB A conductor pattern 14, end-connection child 12-1a, or each conductor pattern 14 is connected, and they are a bare chip 12 and 12'. A layered product is formed. This bare chip 12' which turns end-connection child 12-1a of this layered product upward, and is located in the lowest layer It is the foot pattern 1-1 of a printed-circuit board 1 about the lead 12-2 wired by bonding etc. It mounts by joining together.

[0013] Moreover, drawing 1 (b) End-connection child 12-1a of this bare chip 12 which carries out end-connection child 12-1a in the same direction, connects and carries out the laminating of two or more above-mentioned bare chips 12 by the conductor pattern 14 so that it may be shown, places the above-mentioned end-connection child 12-1a of this layered product upside down, and is located in the lowest layer, or a conductor pattern 14 and the foot pattern 1-1 of the wiring substrate 1 concerned It joins together by the electroconductive glue 15, and mounts.

[0014] The formation method of the bare chip 22 used for the second example Drawing 3 (a) An etching resist 22-4 is applied to one field of the substrate 22-1 of the bare chip fabricated to

400-micrometer board thickness from single crystal silicon so that it may be shown. The etching resist 22-4 concerned of the diameter of 100 micrometer is removed in the position which needs a front reverse side flow. It is drawing 3 (b) by etching within a vacuum tub. With a depth of 320 micrometers through hole 22-1b is drilled with the diameter of 100 micrometer so that it may be shown. drawing 3 (c) after removing the aforementioned etching resist 22-4 so that it may be shown -- vacuum evaporation etc. -- the inside of through hole 22-1b -- a front reverse side flow -- while being filled up with a 22 to 1 d conductor, electrode pad 22-1c of the diameter of 150 micrometer is formed in an entrance

[0015] and drawing 3 (d) The end face of a 22 to 1 d conductor is exposed. it is shown -- as -- a front reverse side flow -- grinding 100 micrometers of fields of an opposite side to the inferior surface of tongue of a substrate 22-1 where it filled up with the 22 to 1 d conductor, i.e., electrode pad 22-1c, -- a table reverse side flow -- while forming the integrated circuit of a semiconductor device in the front face of this substrate 22-1 after that and wiring each end-connection child by ATB in the detailed lead of two or more -- a front reverse side flow on the above-mentioned electrode pad 22-1c -- the connection bump according a 22 to 1 d conductor to solder etc. is formed in an end face

[0016] The mounting structure of the semiconductor chip by the second example which used this bare chip 22 Connect two or more bare chips 22 by the connection bump 22-3 of a 22 to 1 d conductor, and a laminating is carried out. it is shown in drawing 2 -- as -- the wiring side of lead 22-2 -- the same direction -- carrying out -- a front reverse side flow -- This lead 22-2 of a bare chip 22 by which the laminating was carried out is turned upward, the bare chip 22 of the lowest layer is fixed to the wiring substrate 1 with adhesives etc., and it is the foot pattern 1-1 of the aforementioned wiring substrate 1 by bonding etc. about the lead 22-2 of each bare chip 22. It has connected.

[0017]

[Effect of the Invention] Since two or more bare chips are mounted to each foot pattern formed in the wiring substrate with very easy composition according to this invention so that clearly from the above explanation, there is an advantage of being able to achieve a miniaturization and lightweight-izing of a printed circuit unit, and economical [remarkable] and the remarkable mounting structure of the semiconductor chip which can expect the effect of the improvement in reliability can be offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the expansion sectional side elevation showing the mounting structure of the semiconductor chip by the first example of this invention.

[Drawing 2] It is the expansion sectional side elevation showing the mounting structure of the second example.

[Drawing 3] It is the order sectional side elevation explaining the through hole formation method of the bare chip used for the second example of a process.

[Drawing 4] It is the perspective diagram showing the conventional semiconductor mounting structure.

[Description of Notations]

1 is a wiring substrate and 1-1. A bare chip, 12-1, and 22-1 a foot pattern, 12, 12', and 22 Substrate, In a lead and 13, an insulator layer and 14 an electroconductive glue and 22-1b for a conductor pattern and 15 Through hole 22-1a, [12-1a and 22-1a] [an end-connection child, 12-2, and 22-2] 22-1c -- an electrode pad and 22 to 1 d -- a front reverse side flow -- a conductor and 22-3 -- a connection bump and 22-4 -- an etching resist

[Translation done.]

* NOTICES *

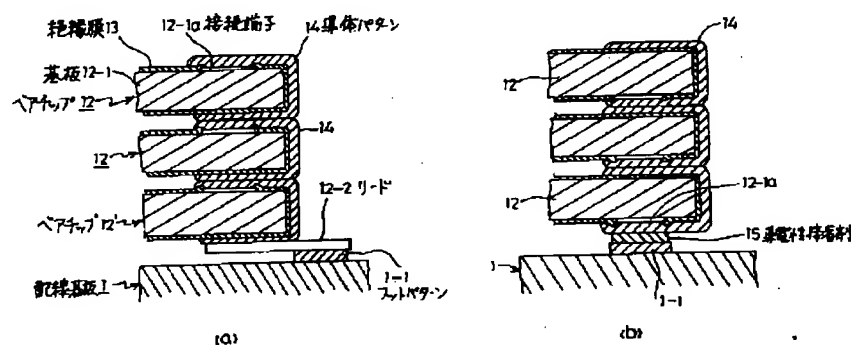
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

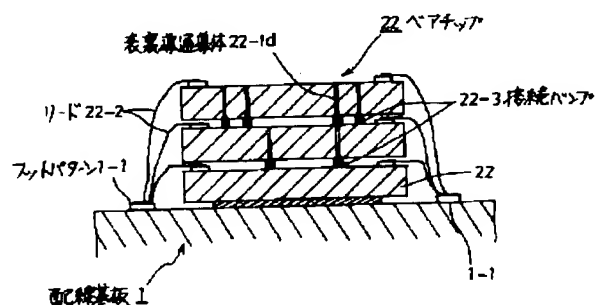
[Drawing 1]

第一実施例による半導体チップの実装構造を示す拡大側断面図



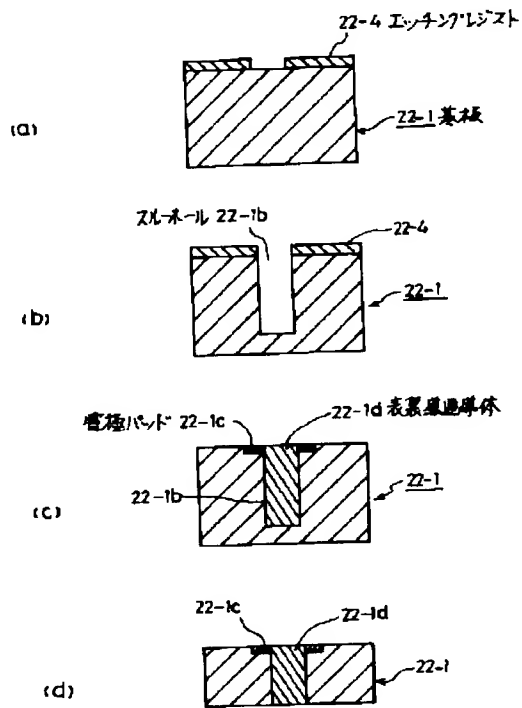
[Drawing 2]

第二実施例の実装構造を示す拡大側断面図



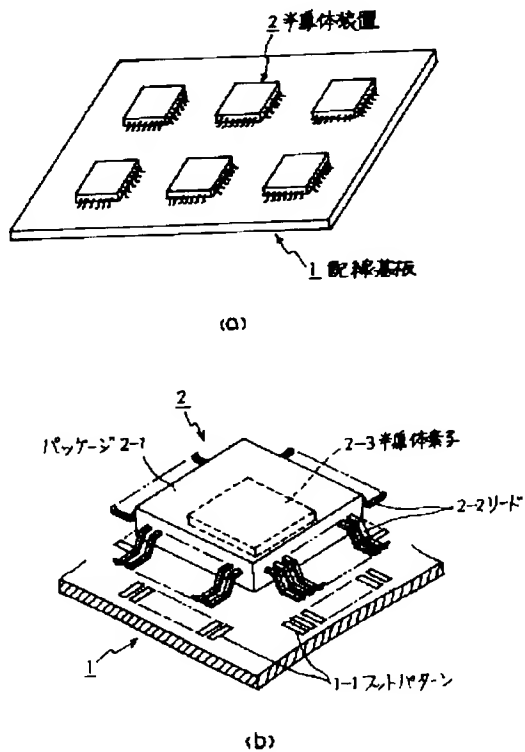
[Drawing 3]

第二実施例に使用するバンプの形成方法を
説明する工程横断断面図



[Drawing 4]

従来の半導体実装構造を示す斜視図



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75014

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H 0 1 L 25/065
25/07
25/18

識別記号

庁内整理番号

F I

技術表示箇所

7220-4M

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-234307

(22)出願日 平成3年(1991)9月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小宮山 武司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

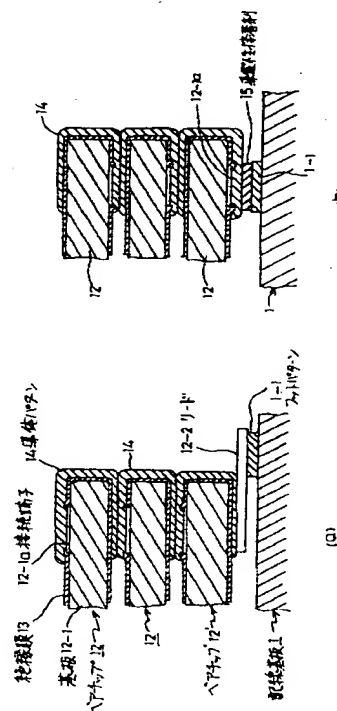
(54)【発明の名称】 半導体チップの実装構造

(57)【要約】

【目的】 各種電子機器の回路構成用に使われるプリント板ユニットの半導体チップ実装構造に関し、ベアチップを積層して配線基板に実装することによりプリント板ユニットの小型化と軽量化をはかることを目的とする。

【構成】 ベアチップ12の一方の面に形成された接続端子12-1aを除く基板12-1の表面に絶縁膜13を施して、露出した上記接続端子12-1aから他方の面の該接続端子12-1aと対応する位置に導体パターン14を上記絶縁膜13の表面に形成し、当該導体パターン14と上記接続端子12-1aを接続することにより複数個の上記ベアチップ12を積層して、積層体の一端側に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1とを接続して実装する。

第一実施例に係る半導体チップの実装構造を示す大略断面図



1

【特許請求の範囲】

【請求項1】 ベアチップ(12)の一方の面に形成された接続端子(12-1a)を除く基板(12-1)の表面に絶縁膜(13)を施して、露出した上記接続端子(12-1a)から他方の面の該接続端子(12-1a)と対応する位置に導体パターン(14)を上記絶縁膜(13)の表面に形成し、当該導体パターン(14)と上記接続端子(12-1a)またはそれぞれの該導体パターン(14)を接続することにより複数個の上記ベアチップ(12)を積層して、積層体の一端側に位置する該ベアチップ(12)とプリント配線基板(1)のフットパターン(1-1)とを接続して実装したことを特徴とする半導体チップの実装構造。

【請求項2】 基板(22-1)に形成された表裏導通導体(22-1d)の接続パンプ(22-3)により複数個のベアチップ(22)を接続することによりリード(22-2)を同一方向に向けて積層し、当該積層体の一端側に位置する該ベアチップ(22)の背面を絶縁性接着剤によりプリント配線基板(1)に固着するとともに、当該プリント配線基板(1)のフットパターン(1-1)に各該リード(22-2)を接続したことを特徴とする請求項1記載の半導体チップの実装構造。

【請求項3】 ベアチップ(22)を形成する基板(22-1)の一方の面にエッチングレジスト(22-4)を塗布してエッチングにより一定深さのスルーホール(22-1b)を形成し、当該スルーホール(22-1b)に表裏導通導体(22-1d)を充填して当該基板(22-1)の他方の面を研磨することにより表裏導通導体(22-1d)の端面を露出させ、上記基板(22-1)の中央部に半導体の集積回路を形成するとともに周縁に複数個の接続端子を形成して微細なリードを配線し、他方の面より露出した上記表裏導通導体(22-1d)の端面に接続パンプ(22-3)を設けたことを特徴とする請求項2記載の半導体チップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各種電子機器の回路構成用に使用されるプリント板ユニットの半導体チップ実装構造に関する。

【0002】最近、ハンディータイプの端末機、ワードプロセッサ、パーソナルコンピュータ等の電子機器は更に小型化と多くの機能が要求されるに伴い、これらの機器に装着されるプリント板ユニットには多数個の半導体装置を高密度に実装することが必要となっている。

【0003】そのため、プリント板ユニットの小型化がはかれる半導体チップ本体（以下ベアチップと略称する）をプリント配線基板（以下配線基板と略称する）へ直接表面実装しているが、これらベアチップを立体的に高密度実装することができる新しい半導体チップの実装構造が要求されている。

【0004】

【従来の技術】従来広く使用されている半導体の実装構

2

造は、図4(b)に示すように例えば四方向フラットリードパッケージタイプ(QFP)の半導体装置2においては、半導体素子2-3と導通してパッケージ2-1の側面より突出させて配列した複数本のリード2-2と対応する位置に微細幅のフットパターン1-1を複数個併形に配列した配線基板1に、前記半導体装置2のリード2-2と当該フットパターン1-1を位置合わせして配線基板1に半導体装置2を載置し、リフローボンディング等により前記フットパターン1-1に施した図示していない半田を熔融して、図4(a)に示すように配線基板1の主面に多数個の半導体装置2が表面実装されている。

【0005】

【発明が解決しようとする課題】以上説明した従来の半導体装置の実装構造で問題となるのは、第4図(b)に示すように配線基板1の表面に形成されたフットパターン1-1と半導体素子2-3を覆ったパッケージ2-1のリード2-2を接合することにより多数個の半導体装置2が実装されているから、この実装される半導体装置2の外形寸法はパッケージ2-1により大きくなって実装される配線基板1も大きくせねばならぬので装置の小型化を阻むという問題が生じている。

【0006】また、半導体素子2-3を覆うパッケージ2-1により半導体装置2が重くなってプリント板ユニットの重量が増加するという問題も生じていた。本発明は上記のような問題点に鑑み、ベアチップを積層して配線基板に実装することによりプリント板ユニットの小型化と軽量化をはかることができる新しい半導体チップの実装構造の提供を目的とする。

【0007】

【課題を解決するための手段】本発明は、図1に示すようにベアチップ12の一方の面に形成された接続端子12-1aを除く基板12-1の表面に絶縁膜13を施して、露出した上記接続端子12-1aから他方の面の該接続端子12-1aと対応する位置に導体パターン14を上記絶縁膜13の表面に形成し、当該導体パターン14と他のベアチップ12の接続端子12-1aを接合することにより複数個の上記ベアチップ12を積層して、積層体の一端側に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1とを接続して実装する。

【0008】

【作用】本発明では、ベアチップ12の基板12-1表面に絶縁膜13を施して、その絶縁膜13より露出した接続端子12-1aと導通して他方の面の当該接続端子12-1aと対応する位置まで導体パターン14を配線し、この導体パターン14と他のベアチップ12に形成された接続端子12-1aを接続することで複数個が積層されるから、その最下層に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1と接続することにより、配線基板1に形成されたそれぞれのフットパターン1-1に対して複数個のベアチップ12が実装されてプリント板

3

ユニットの小型化と軽量化をはかることが可能となる。

【0009】

【実施例】以下図1～図3について本発明の実施例を詳細に説明する。図1は第一実施例による半導体チップの実装構造を示す側断面図、図2は第二実施例の実装構造を示す側断面図、図3は第二実施例に使用するベアチップのスルーホール形成方法を説明する工程順側断面図を示し、図中において、図4と同一部材には同一記号が付してあるが、その他の12は第一実施例の実装構造に使用するベアチップ、22は第二実施例の実装構造に使用するベアチップである。

【0010】ベアチップ12は、図1に示すように単結晶シリコン等よりなる薄い基板12-1の中央部に半導体素子の集積回路を形成して、周縁に集積回路から引き出された複数の接続端子12-1aが配設された半導体装置の素子本体である。

【0011】上記部材を使用した第一実施例による半導体チップの実装構造は、図1(a)に示すようにベアチップ12の基板12-1の一方の面に形成された接続端子12-1aを除く全表面に絶縁樹脂よりなる絶縁膜13を施すことにより当該接続端子12-1aを露出させ、この絶縁膜13の表面から露出した前記接続端子12-1aと導通させて当該接続端子12-1aと対応する位置の他方の面までエポキシ系の導電性塗料により導体パターン14を形成する。

【0012】そして、上記接続端子12-1aを同一方向にして複数のベアチップ12とTABによりリード12-2を設けたベアチップ12'とを、導体パターン14と接続端子12-1aまたはそれぞれの導体パターン14を接続してベアチップ12、12'の積層体を形成し、この積層体の接続端子12-1aを上向きにして最下層に位置する該ベアチップ12'のボンディング等により配線されたリード12-2をプリント配線基板1のフットパターン1-1へ結合することにより実装する。

【0013】また、図1(b)に示すように接続端子12-1aを同一方向にして複数の上記ベアチップ12を導体パターン14で接続して積層し、この積層体の上記接続端子12-1aを下向きにして最下層に位置する該ベアチップ12の接続端子12-1a、または当該導体パターン14と配線基板1のフットパターン1-1を導電性接着剤15により結合して実装する。

【0014】第二実施例に使用するベアチップ22の形成方法は、図3(a)に示すように単結晶シリコンより例えば400 μ mの板厚に成形したベアチップの基板22-1の一方の面にエッチングレジスト22-4を塗布し、表裏導通を必要とする位置に例えば100 μ m径の当該エッチングレジスト22-4を除去して、真空槽内でエッチングにより図3(b)に示す如く100 μ m径で深さ320 μ mの

4

スルーホール22-1bを穿設し、図3(c)に示す如く前記エッチングレジスト22-4を除去した後に、蒸着等によりスルーホール22-1b内に表裏導通導体22-1dを充填するとともに入り口に150 μ m径の電極パッド22-1cを形成する。

【0015】そして、図3(d)に示すように表裏導通導体22-1dが充填された基板22-1の下面、即ち電極パッド22-1cに対して反対側の面を100 μ m研磨することにより表裏導通導体22-1dの端面を露出させ、その後この基板22-1の表面に半導体素子の集積回路を形成してそれぞれの接続端子に複数の微細なリードをTABによって配線するとともに、上記電極パッド22-1cの上、または表裏導通導体22-1dを端面に半田等による接続バンプを形成している。

【0016】このベアチップ22を使用した第二実施例による半導体チップの実装構造は、図2に示すようにリード22-2の配線側を同一方向にして表裏導通導体22-1dの接続バンプ22-3により複数のベアチップ22を接続して積層し、この積層されたベアチップ22のリード22-2を上向きにして最下層のベアチップ22を接着剤等により配線基板1に固着して、各ベアチップ22のリード22-2をボンディング等により前記配線基板1のフットパターン1-1に接続している。

【0017】

【発明の効果】以上の説明から明らかなように本発明によれば極めて簡単な構成で、配線基板に形成されたそれぞれのフットパターンに対して複数のベアチップが実装されるからプリント板ユニットの小型化と軽量化をはかることができる等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体チップの実装構造を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第一実施例による半導体チップの実装構造を示す拡大側断面図である。

【図2】 第二実施例の実装構造を示す拡大側断面図である。

【図3】 第二実施例に使用するベアチップのスルーホール形成方法を説明する工程順側断面図である。

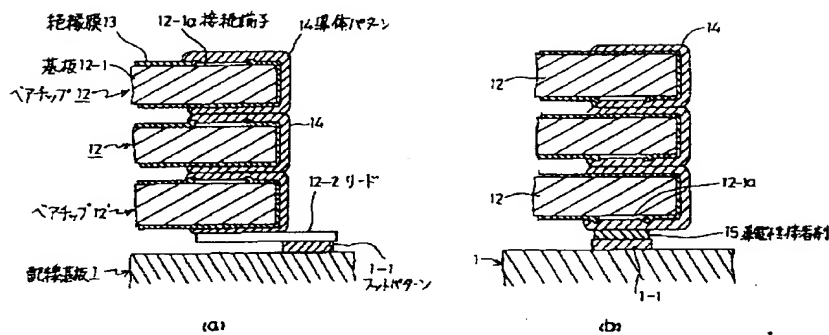
【図4】 従来の半導体実装構造を示す斜視図である。

【符号の説明】

1は配線基板、1-1はフットパターン、12、12'、22はベアチップ、12-1、22-1は基板、12-1a、22-1aは接続端子、12-2、22-2はリード、13は絶縁膜、14は導体パターン、15は導電性接着剤、22-1bはスルーホール22-1a、22-1cは電極パッド、22-1dは表裏導通導体、22-3は接続バンプ、22-4はエッチングレジスト、

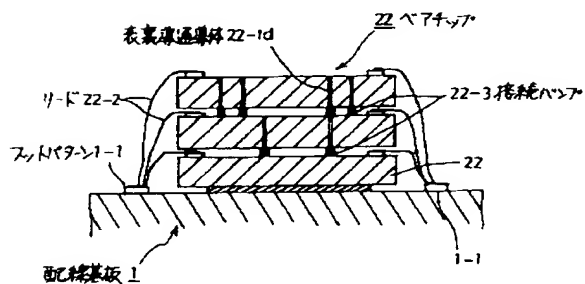
【図1】

第一実施例による半導体チップの実装構造を示す拡大側断面図



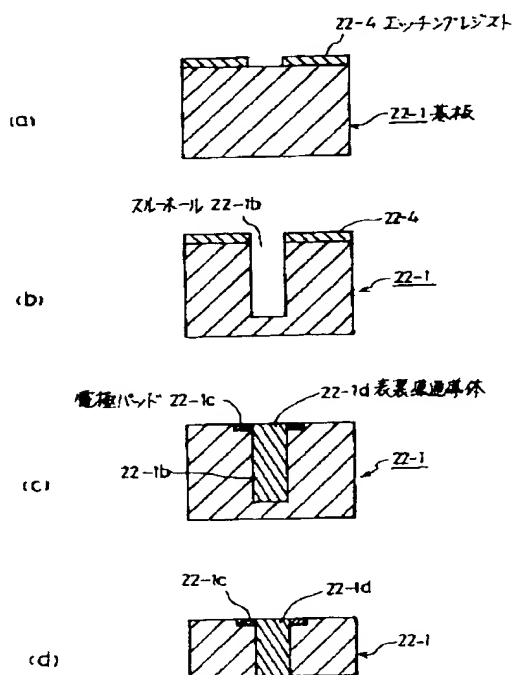
【図2】

第二実施例の実装構造を示す拡大側断面図



【図3】

第二実施例に使用するペアチップのスルーホール形成方法を説明する工程順側断面図



【図4】

従来の半導体実装構造を示す斜視図

